

Information Sheet for preparing an Information Disclosure Statement under Rule 1.56

Suzuye Ref. 01S0436

Foreign Patent Document

Document No.: 5-4866, published April 11, 1984

Country: Japan

Copy of reference: attached

Language: non-English

English translation: not attached for it is not readily available

Concise Explanation of Pertinency:

This document is disclosed as the prior art of the present invention in the specification of the present application, and describes a technique for providing a block code which is unbalanced in a single block and in which the first and last levels of the block are equal to each other, and a block code in which the first and last levels are different, to thereby achieve direct-current balance in the block.

## BACKGROUND INFORMATION

TOSHIBA

The following information has been determined, to the best of TOSHIBA's ability, as possibly relevant to the describing and claiming of the invention of the subject case in a U.S. patent application. Based on this information and pursuant to 37 CFR 1.56(b), please prepare and file the proper Information Disclosure Statement or equivalent document.

## INVENTOR'S INFORMATION

★ PATENT NUMBER PUBLICATION ; INVENTOR(S) AUTHOR(S) ; DATE etc.

## ★ CONCISE EXPLANATION

特公平5-4866

★

★

★

★

PRIOR APPLICATION(S) OF INVENTOR(S) OR OF KABUSHIKI KAISHA TOSHIBA (ASSIGNEE)  
APPLICATION NUMBER TOSHIBA REFERENCE COUNTRY

AGENT

MEMO

## INVENTOR(S)

## SIGNATURE &amp; DATE

## CHECKED BY



Yuji Sakai. March. 28, 2001

## PATENT ENGINEER'S INFORMATION

## PATENT ENGINEER'S COMMENT ON INVENTOR(S) INFORMATION OR PATENT ENGINEER'S INFORMATION

★ 特公平5-4866

\* 従来技術に記載した文献があり、單一ブローバル内では不均衡電圧が最初と最後のレベルが同一のブローバル内と、最初と最後のレベルが異なるブローバル内と、  
ブローバル内で直流平衡を得る技術が記載されている。

## CHECKED BY

## PATENT ENGINEER(S)

## SIGNATURE &amp; DATE

March. 30, 2001

Tomonobu Ohmae Mar. 30. 2001

②日本国特許庁 (JP)

①特許出願公告

②特許公報 (B2) 平5-4866

③Int. Cl.

H 04 L 25/49

識別記号

序内整理番号

N 8228-5K

④⑤公告 平成5年(1993)1月21日

発明の数 2 (全9頁)

⑥発明の名称 パルス伝送路符号化方式

⑦特願 昭57-173220

⑧公開 昭59-63846

⑨出願 昭57(1982)10月4日

⑩昭59(1984)4月11日

⑪発明者 高崎 喜孝 東京都国分寺市東恋ヶ窓1丁目280番地 株式会社日立製作所中央研究所内

⑫発明者 高橋 靖 東京都国分寺市東恋ヶ窓1丁目280番地 株式会社日立製作所中央研究所内

⑬出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑭代理人 弁理士 小川 勝男 外1名

審査官 梅沢 俊

⑮参考文献 特開 昭53-45111 (JP, A)

1

2

⑯特許請求の範囲

1 伝送路クロツクと独立したデータ周期をもつ非同期入力信号パルス列を、高・低のレベルをもつパルスの組合せで構成される3種のブロック符号“1”、“0”および空信号“E”に符号化することにより伝送路クロツクに同期化して伝送するためのパルス伝送路符号化方式であり、前記3種のブロック符号の各々はブロック内全パルスのレベルを反転させた2種のモードを有し、ブロック符号とブロック符号の境界点には必ずレベルの変化点を生じるようにそれぞれ2種のモードの一方を選択して符号化するパルス伝送路符号化方式において、前記3種のブロック符号の一つとして单一ブロック内の最初と最後のレベルが同一でかつ单一ブロック内で直流不平衡であるブロック符号を生成し、残りの2種のブロック符号としてはいずれも单一ブロック内の最初と最後のレベルが高・低異なりかつ单一ブロック内で直流平衡がとれたパルスの組合せで構成されるブロック符号を生成することを特徴とするパルス伝送路符号化方式。

2 伝送路クロツクと独立したデータ周期をもつ非同期入力信号パルス列を、高・低のレベルをもつパルスの組合せで構成される3種のブロック符

号“1”、“0”および空信号“E”に符号化することにより伝送路クロツクに同期化して伝送するためのパルス伝送路符号化方式であり、前記3種のブロック符号の各々はクロツク内全パルスのレベルを反転させた2種のモードを有し、ブロック符号とブロック符号の境界点には必ずレベルの変化点を生じるようにそれぞれ2種のモードの一方を選択して符号化するパルス伝送路符号化方式において、前記3種のブロック符号の一つとして单一ブロック内の最初と最後のレベルが同一でかつ单一ブロック内で直流不平衡であるブロック符号を生成し、残りの2種のブロック符号としてはいずれも单一ブロック内の最初と最後のレベルが高・低異なるブロック符号を生成し、さらに前記残りの2種のブロック符号のうち单一ブロック内で直流不平衡なパルスの組合せで構成されるブロック符号については全パルスのレベルを反転させた2種のモードのはかにその2種のモードのそれぞれと絶対値が同じで極性が異なる直流成分を有し、かつそれぞれと单一ブロック内の最初と最後のレベルが等しいパルスの組合せで構成されるあと2種のモードの合計4種のモードを有し、該4種のモードの中から選択して符号化することを特徴とするパルス伝送路符号化方式。

**発明の詳細な説明****【発明の利用分野】**

本発明はパルス伝送方式、特に非同期のパルス列を同期化して伝送する非同期時分割多重化伝送に好適な伝送路符号化方式に関する。

**【従来技術】**

従来非同期パルス列を同期化する方法としては第1図a～bに示すような方法が提案されている。すなわち原信号パルス列aにおける“1”は“11”あるいは“00”と符号化し、“0”は“1”あるいは“0”と符号化し、無信号時（空信号E）は“111”あるいは“000”と表現し、符号列bとして伝送する。このように非同期信号を同期化して伝送する際には、原信号が存在しない場合（伝送済）が生じるので空信号“E”に対応するプロック符号も規定する必要がある。また、この従来例の符号化方式では原信号のそれぞれに対応するプロック符号の長さが異なるので、プロックの識別のためプロックとプロックの境界は変化点が生じるようにする。このため、原信号の各々に対して“11”と“00”的ようにプロック内の全パルスのレベルを反転させた2種類のモードを準備し、何れか一方を選択して用いている。このようにひとつの原信号情報を表す複数種類の符号列の切替を使用をモード切替と呼ぶ。

この伝送符号においては、図より分るように直流平衡の条件が満足されず、直流成分が発生する。伝送路では一般に直流成分がカットされるので第1図bのような直流成分を含む符号列を伝送すると受信側では歪が発生し、符号誤りの原因となる。

**【発明の目的】**

本発明の目的は、同期化と共に直流平衡の条件を満足する符号化方式を提供することにある。

**【発明の概要】**

上記目的を達成するため本発明では、プロック内で直流平衡のとれた符号と、モード切替により直流平衡をとる符号とを併用する。まず、本発明の符号化方式の前提は：

(1) プロックとプロックの境界には変化点が生じるよう、全パルスのレベルを反転した2種類のモード間のモード切替を行なう。

との点である。さらに、第1図bで用いた“11”あるいは“00”等のプロック符号は單一

プロック内で不平衡で、かつプロックの最初と最後のレベルが同一である。これらのプロック符号は比較的短くてしかも他の識別が容易である。そこで、

5 (2) 1、0、Eの3種類の原信号情報の一つには単一プロック内で不平衡で、かつプロックの最初と最後のレベルが同一であるプロック符号を割り当てる、との点を第2の前提とする。

本発明の第1の特徴はこれらの前提に加えて、  
10 (3) 1、0、Eの3種類の原信号情報の残りの2種類にはいずれもプロックの最初と最後のレベルが異なり、かつプロック内で直流平衡のプロック符号を割り当てる、

という点にある。

15 原信号1に“11”あるいは“00”を割り当てた場合を例に説明する。例えば原信号が1111の場合には(1)の条件によりプロック符号列は11001100のようになり、直流平衡がとれる。問題はこのプロック符号の間に他のプロック符号が挿入される時である。もし原信号0に“1”あるいは“0”的ようにプロックの最初と最後のレベルが同一なプロック符号を割り当てるとき、原信号1010に対してプロック符号列は110110110の様になり、直流不平衡が発生する。これに対し、上述の(3)を条件に

20 残りの0とEにそれぞれプロック符号を割り当てるときの様な不平衡は生じないのである。例えば、0を“10”あるいは“01”としたとき原信号1010に対してプロック符号列は11010010110100となる。つまり、0に対応するプロック符号が挿入

25 されても、それ自身不平衡である1に対応するプロック符号は必ず逆極性の2種のモードが交互に発生するので直流平衡がとれるのである。また、原信号が000のとき010101のように同一モードが連続するが、0に対するプロック符号はもともと直流平衡なのでこの場合も不平衡は生じない。Eに対応するプロック符号が挿入される場合も、またそれが連続する場合も全く同様のことが言える。

30 第1図cは、この第1の特徴に従う符号化方式の例を示しており、原信号aの“1”は“11”又は“00”に“0”は“10”又は“01”に、そして“E”は“111000”又は“000111”に符号変換する例である。原信号列がどのような場合でも変換されたプロック符号列は直流平衡がとれたものと

なる。

本発明の第2の特徴は、上述の(1)(2)の前提に加えて、

(3) 1、0、Eの3種類の原信号情報の残りの2種類にはいずれもブロックの最初と最後のレベルが異なるブロック符号を割り当てる、

(4) その残りの2種類に対するブロック符号のうちブロック内不平衡のブロック符号については、全パルスを反転させた2種類のモードの他にそれぞれと絶対値が同じで極性が異なる直流成分を有し、かつそれぞれと最初、最後のレベルが等しいパルスの組合せで構成されるあと2種類の合計4種類のモードを有し、これらから選択して符号化する、

との点である。例えば、原信号Eに“1110”を割り当てるなら、その反転モードである0001、および1000、0111の4種類のモード切替を行うのである。もし原信号がEEのように最初のレベルが等しいモードが連続する場合も、11101000もしくは00010111のように極性が異なる直流成分のモードを交互に用いることにより不平衡が生じない符号化が可能である。

第1図dはこの第2の特徴に従う符号変換方式の例を示し、原信号aの“1”は“11”又は“00”に“0”は“01”又は“10”に、“E”は“0001”又は“1110”あるいは“1000”又は“0111”に符号変換する。この例でも原信号列がどのような場合でも変換されたブロック符号列は直流平衡がとれたものとなる。

#### 【発明の実施例】

以下本発明を実施例を用いて説明する。第2図は本発明によるパルス伝送路符号化方式を実施した一実施例の構成図である。上記実施例の送信部の各部波形を第3図に示す。

第2図において原信号Sはエラステイツクメモリ2に加えられる。これはクロックC<sub>err</sub>(送り側読み出しクロック)により“1”“0”および“E”(空信号)として読み出される。

原信号Sに対応するクロックC<sub>a</sub>は補正回路1(送り側クロック位置補正回路)に印加され、ラジンクロックC<sub>1</sub>により位置を補正され、書き込みクロックC<sub>err</sub>(送り側書き込みクロック)として、原信号Sをエラステイツクメモリに書き込む時点を決定する。この補正を行なう理由は、書き込み

と読み出しが同時にに行なわれることを避けることがある。

第2図エラステイツクメモリ2から読み出された“1”“0”および“E”信号は符号化回路3において符号化される。この符号化回路においては同時に読み出しクロックパルスC<sub>err</sub>も作られる。

以下、クロック補正回路1、符号化回路3およびエラステイツクメモリの詳細をそれぞれ第4～6図を用いて説明する。

第4図は、クロック補正回路1の一実施例である。入力端子10に加えられたクロックパルスC<sub>a</sub>は、読み出しパルスとの重なりを避けるため一定遅延回路11を介してアンド回路15の一方に加えられる。一方、入力端子12に加えられた信号13クロックパルスC<sub>a</sub>はパルス伸長器13に加えられ、その出力によりフリップフロップ14の駆動およびゲート15のインヒビットを行なう。パルスの伸出を行なうのは、フリップフロップ14のセットとリセットが極端に隣接して出するのを避けるためである。フリップフロップ14の出力を、微分回路(インバータ16とアンドゲート17を組合せたもの)に印加して書込クロックパルスC<sub>err</sub>を得る。

次に第5図を用いてエラステイツクメモリ2の動作を説明する。同図において信号パルスSは、メモリ31～33の順で格納され、メモリ31の内容が読み出された場合、メモリ32の内容がうつされメモリ33の内容はメモリ32にうつされる。メモリ31にすでに信号が格納されている場合に限りメモリ32に信号が格納される。メモリ33についても同様である。

メモリ41～43は、メモリ31～33に信号が格納されているか否かを示すために用いられる。

以上の動作を第3図を用いて説明する。同図において波形M<sub>1'</sub>が“on”的状態ではメモリ31に信号が格納されていることを示している。M<sub>1'</sub>はその格納されている信号が“1”であるか“0”であるかを示している。

M<sub>1'</sub>が“on”的状態になった時は、次の信号が到着したときに、メモリ31がすでに占有されており、したがって、その信号はメモリ32に書き込まれることになる。その信号が“1”であるか“0”であるかは波形M<sub>2</sub>が示している。

メモリー31から優先的に書き込んで行く操作はゲート34～39および45～47を用いて下記の如く行なわれる。

まずゲート45は、メモリ41が“OFF”であるとき書き込みパルスC<sub>rr</sub>を通過させてるので、メモリ41自体“on”になり、かつ、ゲート34および35を開いて、信号が“1”的場合、メモリ31をセットし、“0”的場合はリセットする。メモリ41が“on”であるということは、すでにメモリ31が占有されているということであるのでゲート45は開かれない。その代りに、メモリ42が“OFF”であればゲート46が書き込みパルスC<sub>rr</sub>を通過させゲート36、37を開くので、メモリ32に信号が書き込まれる。メモリー33についても同様である。なお、入力端子48には第5図に示すごとく、常に“0”が印加されているので、メモリ43の内容が、クロツクC<sub>rr</sub>の印加によってメモリ42にうつされた時には、そのクロツクC<sub>rr</sub>に同期してメモリ43に“0”が書き込まれ、メモリ43の状態は“OFF”となる。その結果、メモリ33が空情報であることを示すことが出来る。

以上の如く読み込まれた信号は、ゲート51～53を通して読み出しクロツクC<sub>rr</sub>により“1”“0”“E”として読み出される。読み出しクロツクC<sub>rr</sub>は、第5図よりもわかるように、メモリ31～33、41～43用のシフトパルスとしても用いられる。

次に第6図を用いて符号化回路について説明する。エラステイツクメモリ3より読み出された信号“1”“0”および“E”は、符号化回路の入力端子、61、62および63にそれぞれ加えられる。“1”的信号は遅延回路65により、クロツク周期の2倍(2T)だけ遅延を生ずる。“0”はTおよび2T遅れた2本のパルスとなる。“E”は3Tおよそ6T遅れた2本のパルスとなる。これらをオアゲート70で合成したものが第3図の波形S<sub>4</sub>であり、この波形でトリガ形フリップフロップ71を駆動すると符号化された波形S<sub>5</sub>が得られる。

なお、遅延回路65、67および68の出力を、オアゲート72で合成したものが第3図の読み出しクロツクパルスC<sub>rr</sub>であり、これは前述の如く、エラステイツクメモリの読み出しパルスと

して用いられる。

すなわち、“1”及び“0”は、2ビットで符号化されるため、第3図に示す“1”、“0”的パルス信号がそれぞれ端子61、62から入力された後、2タイムスロット分遅延してオアゲート72に入力され、同図に示すC<sub>rr</sub>が生成される。同様に、“E”的パルス信号は6タイムスロット遅延してオアゲート72に入力されるため、同図に示すC<sub>rr</sub>が生成される。また、“1”、“0”的パルス信号を2タイムスロット分遅延させてC<sub>rr</sub>を生成する理由は、“1”、“0”は2ビットに符号化されるため、エラステイツクメモリ2から読み出された後、2タイムスロット分時間をおいてから、次の信号の読み出しをする必要があるからである。“E”についても同様の理由による。尚、第3図のC<sub>rr</sub>のうち最初に生じているパルス信号は、時間的に更に前の“0”、“1”、“E”何れかの信号(図示略)によつて生じたものである。

以上第2図の送信部について説明した。この送信部においては、非同期の信号Sを伝送路のクロツクレートに同期した、かつ直流平衡のとれた信号S<sub>4</sub>として送出する。これは伝送路5を経由して、受信部に到着する。

次に受信部の動作を説明する。伝送路5を経て受信された信号は再生中継器101においてパルス再生される。この再生中継器からは、再生された信号102とクロツクパルス103が、復合回路104に供給される。以下の動作を第7図を用いて説明する。

第7図eは再生されたパルス列(第3図S<sub>4</sub>と同じ)であり、これは後述の如く復号器104により、第7図iのように復号される。ただし iの波形には空信号も復号された形で含まれている(矢印で示した区間)。したがつてこの区間を除去する必要がある。このために空信号E検出信号jが用いられる。これは再生パルス列eの斜線の部分より検出され、これにより波形上、1の斜線の部分を消去する。波形上においてパルスが“on”的部分は信号“1”が存在することを示し、波形1においてパルスが“on”的部分は信号“0”が存在することを示す。波形kおよびlが“off”になっている区間は空信号であることを示している。

次にこのkおよびlをエラステイツクメモリ1

05に読み込むわけであるが、空信号Eは読み込まれない。一方、周波数引回路106において原信号のクロックC<sub>0</sub>と同じ繰返し周波数を有するクロックパルスC<sub>an</sub>を発生する。これはE及び1の論理和C<sub>an'</sub>を周波数引回路106に入力し、その単位時間あたりのパルス数をカウントしそのカウントが読み出しクロックパルスC<sub>an</sub>のカウント数に等しくなるように発振器の周波数をコントロールしてやればよい。クロック補正回路107においては、書き込みパルスC<sub>an</sub>と読み出しパルスC<sub>an</sub>'が同時に発生しないように、パルス補正回路1と同じ働きをする。このために供給される補助クロックパルスC<sub>an'</sub>は、読み出しクロックパルスC<sub>an</sub>の整数倍の繰返し周期を持つように設定されている。

再生中継器101および周波数引回路108については従来の技術がそのまま使用できることは明らかであり、エラスティックメモリ105は、エラスティックメモリ2と同じもの、パルス補正回路107はパルス補正回路1と同じものであるので、ここでは復号回路104およびその動作について詳細に述べるにとどめる。

復号器の一実施例を第8図に示す。入力端子120に印加された再生信号(第7図e)は、それがパルス繰返し周期の1/2の遅延時間(T/2)を有する遅延線121を経たものとゲート122において排他的論理和をとられ、第7図fの波形を発生する。この波形およびこれを反転したものはそれぞれシフトレジスタ123および124に加えられるが、このシフトレジスタは、ワード同期のとれたクロックパルス(第7図g:その発生方法については後述する)によって駆動されるので、シフトレジスタ123の初段の波形は第7図bの如くなる。この波形は前述の如く空信号を含んでるのでこれを除去する必要がある。このために空信号検出回路125を用いる。この回路は遅延時間T/2の遅延回路126を6ヶ用いその出力および出力をインバータ127によって極性反転したものを論理積ゲート128および論理和ゲート129で論理演算し、第7図aの斜線部分を検出し、検出パルス(第7図j)を得るものである。遅延回路の数が1個余分になっているのは、検出パルスの時間を調整するためである。

この検出パルスでシフトレジスタ123~12

4をリセットすることにより第7図dおよび(1)に斜線で示した如く、空信号部分を除去することができる。この波形はD形フリップフロップ132の出力である。第2図の復号器104のエラステイックメモリ105に加えられている出力は第8図出力端子134の出力が加えられている。これが、エラスティックメモリに読み込むためには図には示されていない出力端子133および134の出力すなわち波形kおよびl(第7図)を結合したものとクロックパルスCとの論理積をとつたものC<sub>an'</sub>を用いる。これを周波数引回路の出力C<sub>an</sub>(第7図i)で読み出し、第7図nの波形を復元する。

ここでシフトレジスタ123~124およびD形フリップフロップ132を駆動するクロックパルス135(第7図g)のワード同期について説明する。このクロックパルスは、原クロックパルス130をトリガ形フリップフロップ132によって分周することにより得られるが、分周の位相は、空信号検出パルス(第7図f)の立下りにより、トリガーフリップフロップ131をリセットすることにより定められる。第7図においては、分周されたクロック(第7図g)は、空信号検出パルス(第7図j)の立下り時点で“off”になつてゐるので正常な位相であり、位相調整は行なわれず、ワード同期がとれていることがわかる。

#### 【発明の効果】

以上述べた如く本発明によれば、非同期の信号を同期化する過程において、直流平衡のとれた符号を発生することが出来るため、これをそのまま伝送路に送出出来る。すなわち、同期化と線路符号化を同時に実現できるため、非同期信号の同期化伝送あるいは同期化多重伝送をフレキシブルで効率よく行なうために実用上その効果が大きい。

#### 35 図面の簡単な説明

第1図は本発明の原理説明図のための波形図、第2図は本発明の一実施例の構成ブロック図、第3図はその送信側の原理説明図のための波形図、第4~8図はいずれも本発明の実施例の送信側各ブロックの構成図、第7図は本発明による実施例の受信側の原理説明図のための波形図、第8図は本発明の実施例における受信側復号回路の構成図である。

1, 107…パルス補正回路、2, 105…エ

(6)

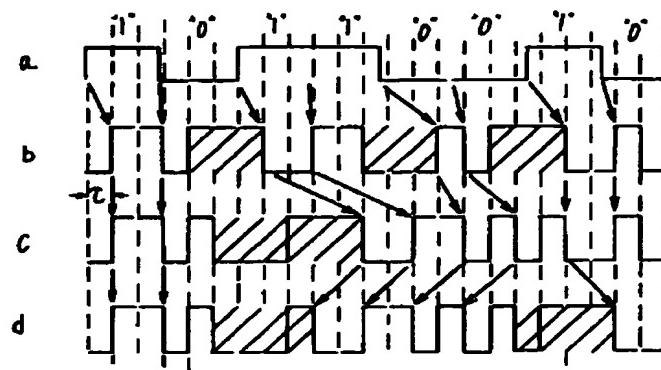
特公 平 5-4868

11

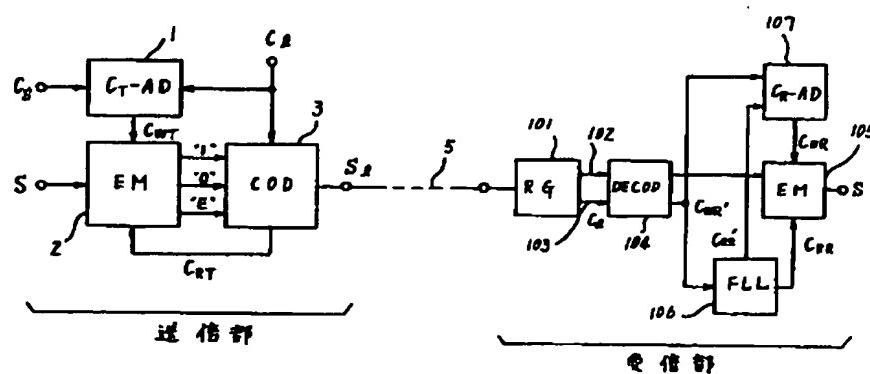
12

ラステイツクメモリ、3…符号化回路、101… 引込回路。  
再生中継器、104…復号回路、108…周波数

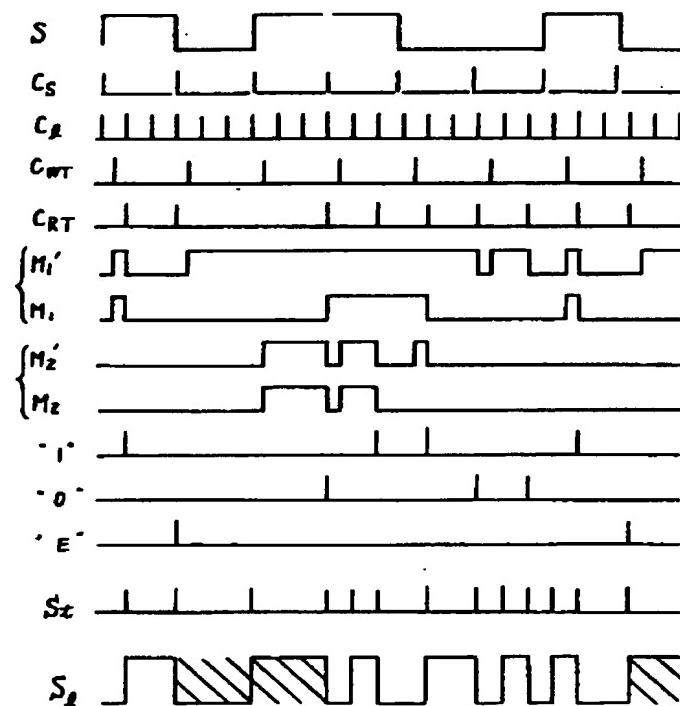
第 1 図



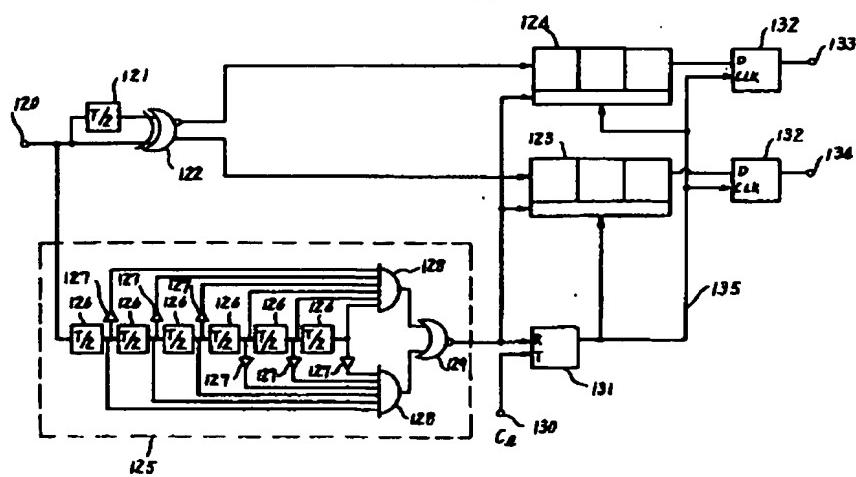
第 2 図



第 3 図



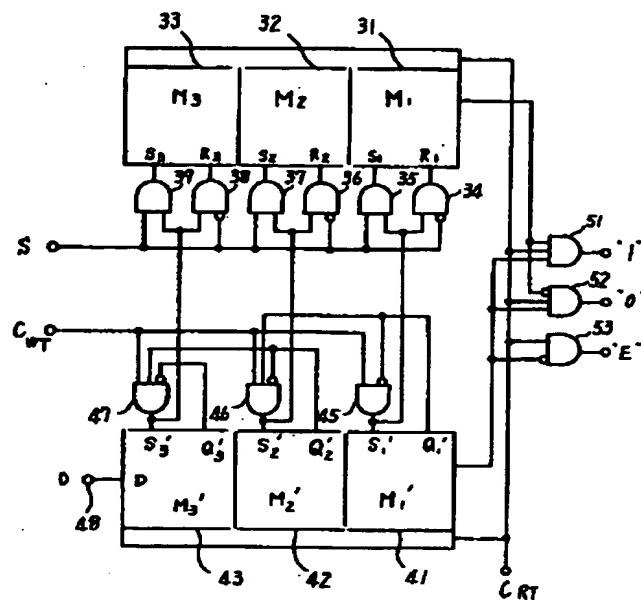
第 8 図



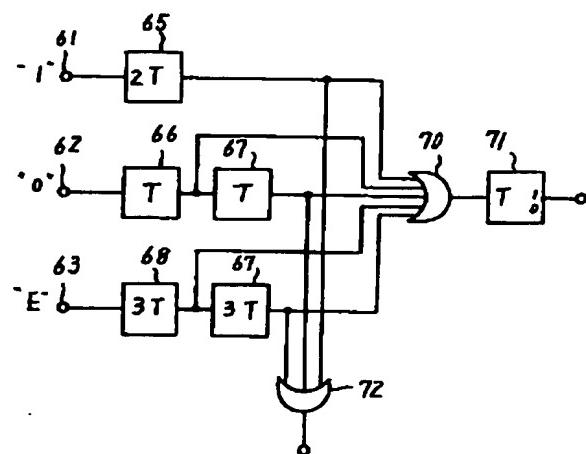
(8)

特公 平5-4966

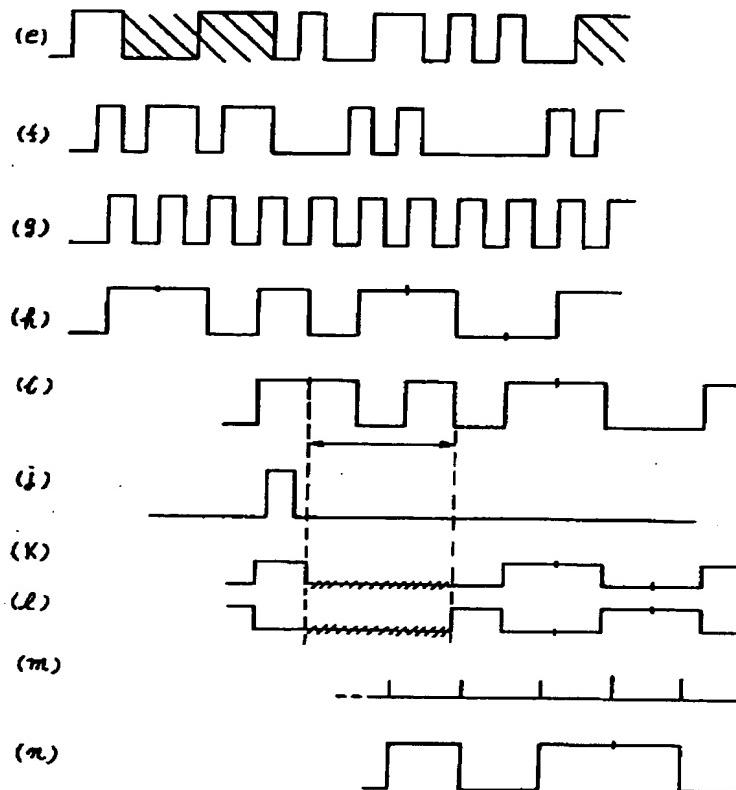
第5回



第6回



第 7 図



第 4 図

